

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297852

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.:

H01L 21/8238

H01L 27/092

H01L 21/20

H01L 21/28

H01L 21/3205

(21)Application number : 10-102929

(71)Applicant : SONY CORP

(22)Date of filing : 14.04.1998

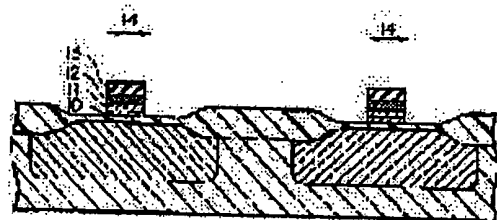
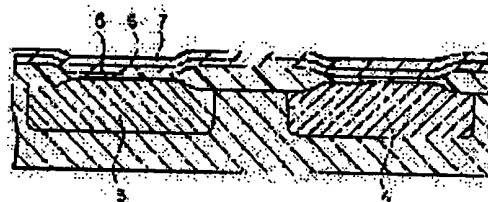
(72)Inventor : TSUKAMOTO MASANORI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain a semiconductor device from varying in characteristics due to the mutual diffusion of impurities of different conductivity in the metal silicide layer or the metal layer or the diffusion of impurities into the substrate, when a semiconductor device is equipped with a wiring layer of two-layered structure composed of, at least, a polysilicon layer and metal silicide layer or a metal layer.

SOLUTION: A semiconductor device has a structure where a second amorphous silicon layer 7 is formed on a first amorphous silicon layer 6. At this point, impurities contained in the amorphous silicon layers 6 and 7 are diffused by annealing, the amorphous silicon layers 6 and 7 are crystallized at the same time, and a metal silicide layer 12 or a metal layer is laminated thereon for the formation of a conductive layer of wiring structure.



LEGAL STATUS

[Date of request for examination]

07.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297852

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L 21/8238		H 0 1 L 27/08
27/092		21/20
21/20		21/28
21/28	3 0 1	21/88
21/3205		

3 2 1 F

3 0 1 A

P

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号 特願平10-102929

(22) 出願日 平成10年(1998)4月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 塚本 雅則

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

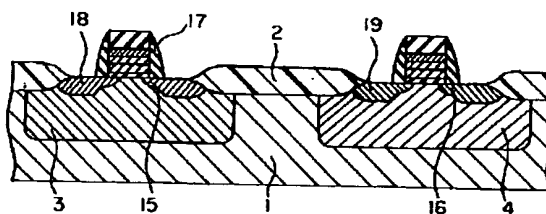
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】少なくとも2層のポリシリコン層と金属シリサイド層または金属層が積層された構造の配線層を有する半導体装置において、導電型の異なる不純物の金属シリサイド層または金属層中での相互拡散や、基板への拡散による半導体装置特性の変動が抑制された半導体装置およびその製造方法を提供する。

【解決手段】第1のアモルファスシリコン層5の上層に、第2のアモルファスシリコン層6を積層し、アニールにより前記アモルファスシリコン層中の不純物を拡散させるのと同時に、アモルファスシリコンを結晶化させ、その上層に金属シリサイド層7または金属層を積層した配線構造の導電層を有する半導体装置およびその製造方法。



【特許請求の範囲】

【請求項1】基板上に、第1のポリシリコン層と、前記第1のポリシリコン層上に形成された第2のポリシリコン層と、前記第2のポリシリコン層上に形成された金属シリサイド層または金属層とを少なくとも有する導電層が形成された半導体装置において、

前記第1のポリシリコン層および前記第2のポリシリコン層は、最大結晶粒径が200nm以上の大粒径ポリシリコンからなる半導体装置。

【請求項2】前記第1のポリシリコン層と前記第2のポリシリコン層との層間に、前記第1のポリシリコン層および前記第2のポリシリコン層中の電子がダイレクトンネリングにより電気的に導通する範囲内の膜厚で、層間膜が形成されている請求項1記載の半導体装置。

【請求項3】前記層間膜は酸化シリコンからなり、膜厚は2nm以下である請求項2記載の半導体装置。

【請求項4】前記金属シリサイド層はタングステンシリサイド層である請求項3記載の半導体装置。

【請求項5】基板上に第1のアモルファスシリコン層を形成する工程と、

前記第1のアモルファスシリコン層上に第2のアモルファスシリコン層を形成する工程と、

前記アモルファスシリコン層に、導電型の異なる不純物を所定の間隔をあけて、それぞれ導入する工程と、高温熱処理により前記不純物を前記アモルファスシリコン層に拡散させるとともに、前記アモルファスシリコン層を結晶化してポリシリコン層とする工程と、

前記ポリシリコン層上に金属シリサイド層または金属層を形成する工程とを有する半導体装置の製造方法。

【請求項6】前記第1のアモルファスシリコン層が結晶化されたポリシリコン層および前記第2のアモルファスシリコン層が結晶化されたポリシリコン層は、最大結晶粒径が200nm以上の大粒径ポリシリコンからなる請求項5記載の半導体装置の製造方法。

【請求項7】前記第1のアモルファスシリコン層および前記第2のアモルファスシリコン層の形成工程は、同一の化学気相蒸着(CVD; Chemical vapor deposition)装置を用いて行う請求項5記載の半導体装置の製造方法。

【請求項8】前記第1のアモルファスシリコン層と前記第2のアモルファスシリコン層との層間に、前記第1のポリシリコン層および前記第2のポリシリコン層中の電子がダイレクトンネリングにより電気的に導通する範囲の膜厚の層間膜を形成する工程を有する請求項7記載の半導体装置の製造方法。

【請求項9】前記層間膜は酸化シリコンからなり、膜厚は2nm以下である請求項8記載の半導体装置の製造方法。

【請求項10】前記層間膜を形成する工程は、過酸化水素水とフッ酸の混合液、過酸化水素水と硫酸の混合液、

過酸化水素水とアンモニアの混合液、または過酸化水素水と塩酸の混合液を用いて、前記第1のアモルファスシリコン層の表面を洗浄して酸化する工程である請求項9記載の半導体装置の製造方法。

【請求項11】前記層間膜を形成する工程は、前記第1のアモルファスシリコン層の表面を熱酸化する工程である請求項9記載の半導体装置の製造方法。

【請求項12】前記層間膜を形成する工程は、前記第1のアモルファスシリコン層の表面に酸化シリコン膜を蒸着により堆積させる工程である請求項9記載の半導体装置の製造方法。

【請求項13】前記金属シリサイド層はタングステンシリサイド層である請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ポリシリコンと金属シリサイドを積層した配線構造(ポリサイド構造)あるいはポリシリコンと金属を積層した配線構造を有する半導体装置およびその製造方法に関し、特に、導電型の異なる不純物の配線層中における相互拡散や、ホウ素の突き抜け(ゲート酸化膜中を基板まで拡散する現象)に起因するMOSFETの特性の変動が抑制された半導体装置およびその製造方法に関する。

【0002】

【従来の技術】nチャネル型MOSFET(NMOS)とpチャネル型MOSFET(PMOS)から構成されるCMOSは、低消費電力および高速性という利点を有するため、メモリ・ロジックをはじめ多くのLSI構成デバイスとして広く用いられている。また、LSIの高集積化に伴いFETゲート長の微細化が行われている。

【0003】従来、PMOSFETのゲート電極材料としては、プロセスを簡略化するため、あるいは埋め込みチャネル型デバイスとすることにより表面チャネル型デバイスよりも界面電界を小さくして電子移動度を高くするため、NMOSと同様にリンを多量に添加したn型ポリシリコンが用いられてきた。しかしながら、ディープサブミクロン世代以降になると埋め込みチャネル型では短チャネル効果を抑制するのが困難であり、表面チャネル型のp⁺型ゲートを適用するのが有効となる(例えば、特開平6-310666号公報参照)。

【0004】NMOSをn⁺型ゲート、PMOSをp⁺型ゲートとして異極性のゲートを形成するには、ゲート電極のポリシリコンにn型にはヒ素(As)やリン(P)を、p型にはホウ素(B)を別個にイオン注入する。しかしながら、ゲート電極にポリシリコンと金属シリサイドを積層した配線構造(ポリサイド構造)やポリシリコンと金属を積層した配線構造を用いた場合、金属シリサイド中における不純物の拡散速度がシリコンまたは酸化シリコン中における不純物拡散速度に比較して非

常に(拡散係数で4桁程度)速いため、p型とn型の不純物が相互に拡散する。そのため、p型ゲート電極形成領域に導入されていたヒ素(As)やリン(P)、n型のゲート電極形成領域に導入されていたホウ素(B)とが互いに補償し合うことになる。

【0005】この現象により、ポリシリコン中のフェルミレベルが変動したり、ゲート電圧印加時にゲート電極が空乏化してしきい値電圧(V_{th} ; Threshold Voltage)が変動して、デバイスの特性が低下する。また、 p^+ ゲートの場合、ホウ素がゲート酸化膜中に拡散して基板まで達することによりMOSFETの V_{th} を変動させたり、ゲート酸化膜の信頼性を低下させるという問題が発生する。特に、フッ素(F)がポリシリコンやゲート酸化膜中に含有されると、ホウ素の拡散速度を増大させることが知られている。したがって、フッ素がポリシリコンやゲート酸化膜に拡散しないように、ゲート構造および形成方法を最適化する必要がある。

【0006】一方、MOSLSI形成においては、MOSFET形成後にゲートポリシリコン上にシリサイドを自己整合的に(Self-Aligned)形成するSALICIDEプロセスが採用されることが多い。SALICIDEプロセスによれば、不純物相互拡散の問題が解消されるため、SALICIDE構造はデュアルゲート(Dual gate)構造の形成に適している。

【0007】SALICIDE構造においてゲートポリシリコンを二層構造とし、両層とも大粒径ポリシリコンとするプロセスが提案されており("Gate Electrode Microstructure" in IEDM Tech. Dig. (1997) p. 635)、これによりホウ素突き抜けが抑制される。

【0008】しかしながら、SALICIDEプロセスにおいては、 $TiSi_2$ や $CoSi_2$ が800℃以上の熱処理によって抵抗増大を生じ、特に細線領域において抵抗増大が顕著になることが知られている。したがって、MOSFET形成後に高温プロセスが必要となるメモリ形成プロセスやメモリ混載ロジック形成プロセスにSALICIDEプロセスを適用することは困難であり、タングステン等の高融点金属シリサイドとポリシリコンとを積層させたポリサイド構造のような耐熱性の高い配線構造とする必要がある。

【0009】従来構造のデュアルゲートCMOSについて、図7を参照して説明する。ポリシリコン層24とタングステンシリサイド層(WSi_x)25とからなるタングステンポリサイド構造において、NMOSとPMOSのポリシリコンにはそれぞれn型不純物(例えばリン)とp型不純物(例えばホウ素)が拡散されている。

【0010】

【発明が解決しようとする課題】図7に示すように、不純物の活性化アニール等の高温熱処理を行うと、リンは

タングステンシリサイド層25中を拡散してn型ゲートのポリシリコンへ移動する。したがって、ゲート電極中のポリシリコンのフェルミレベルが変動したり、ゲート電圧印加時にゲート電極が空乏化され、 V_{th} が変動してMOSFETの特性が低下したりする。

【0011】また、タングステンシリサイド層25中にフッ素が含有されている場合には、フッ素がポリシリコンの結晶粒界を拡散してゲート酸化膜23に達し、ホウ素の基板21への突き抜けが生じる。この問題に対して、ポリシリコン層として大粒径のポリシリコンを用いる方法("Improving Gate Oxide" in IEDM Tech. Dig. (1993) p. 471)が提案されている。この方法によれば、結晶粒界を減少させてフッ素等の不純物の拡散を抑制することが可能とされている。

【0012】しかしながら、大粒径のポリシリコンを単層でゲート電極に用いた場合、図8に示すように、MOSFETチャネル領域上に結晶粒界が不均一に形成され、MOSFET特性が変動することが報告されている("Gate Electrode Microstructure" in IEDM Tech. Dig. (1997) p. 635)。図8(A)は、大粒径ポリシリコン(LGP; large-grain poly-Si)からなるゲート電極の断面構造を表す図である。例えば、(a)のゲート長1.0 μm の場合に対し、(b)のゲート長0.5 μm の場合にはバンブー(bamboo)構造となる。したがって、LGPゲート電極においてはゲート長が短くなるとMOSFET特性の変動が顕著となる。

【0013】図8(B)は、LGP単層のゲート電極を有するnMOSFETのサブスレッショルド特性(ゲート電圧 V_G (V)-ドレイン電流 I_D (A))について表した図である。しきい値電圧近傍またはそれ以下の電圧をゲート電極に印加したときのドレイン電流、すなわちサブスレッショルド領域におけるドレイン電流はゲート電圧を増加させると指数関数的に増加する。(b)のゲート長1.0 μm の場合にはサブスレッショルド特性は良好であるが、(a)のゲート長0.5 μm の場合にはゲート電圧 V_G (V)-ドレイン電流 I_D (A)の傾きが局所的に小さくなっており、高速・低消費電力のスイッチング動作の妨げとなる。しかしながら、LGPをゲート電極に用いる場合も、複層(2層)構造にすることによりMOSFET特性の変動は抑制される。

【0014】ポリシリコン層を2層構造として下層を通常の(堆積させた時点で結晶化されている)ポリシリコン層、上層に大粒径のポリシリコンを用いる方法が本発明者らによって提案されている(特開平9-186246号公報、特開平10-12744号公報)。しかしながら、これらの方法によれば、下層にポリシリコン、上層にアモルファスシリコンを堆積させるため、膜堆積温

度などの成膜条件が異なり、別途のCVD装置を使用して各シリコン層を成膜する必要があり、生産性の観点から好ましくなかった。

【0015】本発明は上記の問題点を鑑みてなされたものであり、したがって本発明は、2層以上からなるポリシリコンと金属シリサイドを積層した配線構造（ポリサイド構造）あるいは、2層以上からなるポリシリコンと金属を積層した配線構造を有する半導体装置、特に、デュアルゲートCMOSにおいて、導電型の異なる不純物の配線層中における相互拡散や、ホウ素の突き抜けによるMOSFET特性の変動が抑制された半導体装置およびその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置は、基板上に、第1のポリシリコン層と、前記第1のポリシリコン層上に形成された第2のポリシリコン層と、前記第2のポリシリコン層上に形成された金属シリサイド層または金属層とを少なくとも有する導電層が形成された半導体装置において、前記第1のポリシリコン層および前記第2のポリシリコン層は、最大結晶粒径が200nm以上の大粒径ポリシリコンからなることを特徴とする。

【0017】本発明の半導体装置は、好適には、前記第1のポリシリコン層と前記第2のポリシリコン層との層間に、前記第1のポリシリコン層および前記第2のポリシリコン層中の電子がダイレクトトンネリングにより電気的に導通する範囲内の膜厚で、層間膜が形成されていることを特徴とする。本発明の半導体装置は、好適には、前記層間膜は酸化シリコンからなり、膜厚は2nm以下であることを特徴とする。また、本発明の半導体装置は、好適には、前記金属シリサイド層はタングステンシリサイド層であることを特徴とする。

【0018】ポリシリコンと金属シリサイドとの積層構造（ポリサイド構造）や金属を積層した配線層を有する構造で、かつポリシリコン層が2層以上から構成されている配線構造において、第1および第2のポリシリコン層が最大結晶粒径200nm以上の大粒径ポリシリコンで形成されていることにより、結晶粒界の少ないポリシリコン膜となる。これにより、金属シリサイド層または金属層中を拡散する導電性不純物が、異なる導電型の領域のポリシリコン中に拡散するのを抑制することができる。

【0019】これにより、フッ素のゲート酸化膜への拡散が抑制される。一方、フッ素の存在によりホウ素の拡散速度は増大することが知られている。本発明の半導体装置によれば、フッ素の拡散が抑制されているため、ホウ素の拡散速度の増大が抑制される。したがって、ホウ素の突き抜けによる V_{th} の変動を抑制することができる。

【0020】上記の目的を達成するため、本発明の半導

体装置の製造方法は、基板上に第1のアモルファスシリコン層を形成する工程と、前記第1のアモルファスシリコン層上に第2のアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層に、導電型の異なる不純物を所定の間隔をあけて、それぞれ導入する工程と、高温熱処理により前記不純物を前記アモルファスシリコン層に拡散させるとともに、前記アモルファスシリコン層を結晶化してポリシリコン層とする工程と、前記ポリシリコン層上に金属シリサイド層または金属層を形成する工程とを有することを特徴とする。

【0021】本発明の半導体装置の製造方法は、好適には、前記第1のアモルファスシリコン層が結晶化されたポリシリコン層および前記第2のアモルファスシリコン層が結晶化されたポリシリコン層は、最大結晶粒径が200nm以上の大粒径ポリシリコンからなることを特徴とする。

【0022】本発明の半導体装置の製造方法は、好適には、前記第1のアモルファスシリコン層および前記第2のアモルファスシリコン層の形成工程は、同一の化学気相蒸着（CVD; Chemical vapor deposition）装置を用いて行うことを特徴とする。

【0023】また、本発明の半導体装置の製造方法は、好適には、前記第1のアモルファスシリコン層と前記第2のアモルファスシリコン層との層間に、前記第1のポリシリコン層および前記第2のポリシリコン層中の電子がダイレクトトンネリングにより電気的に導通する範囲の膜厚の層間膜を形成する工程を有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記層間膜は酸化シリコンからなり、膜厚は2nm以下であることを特徴とする。

【0024】本発明の半導体装置の製造方法は、好適には、前記層間膜を形成する工程は、過酸化水素水とフッ酸の混合液、過酸化水素水と硫酸の混合液、過酸化水素水とアンモニアの混合液、または過酸化水素水と塩酸の混合液を用いて、前記第1のアモルファスシリコン層の表面を洗浄して酸化する工程であることを特徴とする。また、本発明の半導体装置の製造方法は、好適には、前記層間膜を形成する工程は、前記第1のアモルファスシリコン層の表面を熱酸化する工程であることを特徴とする。あるいは、本発明の半導体装置の製造方法は、好適には、前記層間膜を形成する工程は、前記第1のアモルファスシリコン層の表面に酸化シリコン膜を蒸着により堆積させる工程であることを特徴とする。さらに、本発明の半導体装置の製造方法は、好適には、前記金属シリサイド層はタングステンシリサイド層であることを特徴とする。

【0025】これにより、2層以上から構成されるポリシリコン層を形成する際に、各ポリシリコン層に異なる不純物が導入される場合においても、同一のCVD装置

を用いてアモルファスシリコン層としてシリコン層を堆積させることができるため、生産性を向上させることができる。

【0026】また、本発明の半導体装置の製造方法によれば、アモルファスシリコンを結晶化させてポリシリコン層とすることにより、CVD法により成膜されるポリシリコン層よりも結晶粒径の大きい、最大結晶粒径が200nm程度あるいはそれ以上のポリシリコン層を形成することが可能である。これにより粒界が減少し、金属シリサイド層または金属層中を拡散する不純物がポリシリコン中に拡散するのを抑制することができる。

【0027】さらに、第1および第2のポリシリコンが大粒径ポリシリコンから形成されていることにより、両層のポリシリコンが結晶化（大粒径化）する際に、第1のポリシリコン層と第2のポリシリコン層との連続結晶成長が起こるのが抑制される。したがって、結晶粒界の不均一によるMOSFET特性の変動を抑制することが可能となる。

【0028】第1のアモルファスシリコンを堆積後、上記アモルファスシリコンに膜厚2nm程度あるいはそれ以下の酸化膜（ SiO_x ）を形成する工程を有する。したがって、アモルファスシリコンを結晶化させる際に、第2のアモルファスシリコン層に対する下地の第1のシリコン層の結晶化状態が及ぼす影響が低減され、第2のアモルファスシリコン層を大粒径のポリシリコン層とすることが可能となる。これにより、不純物相互拡散による V_{th} の変動を抑制することが可能となる。

【0029】前記酸化膜（ SiO_x ）は、過酸化水素水を含有する酸性溶液を用いた表面洗浄、熱酸化、酸化膜の堆積などの方法で形成することが可能である。特に、過酸化水素水、フッ酸、硫酸、アンモニア水、塩酸の混合液もしくはその水溶液による処理とすることにより、膜厚2nm以下の SiO_x 膜を高い制御性で形成することが可能となる。これにより、両層のポリシリコンが結晶化（大粒径化）する際に、連続結晶成長が起こるのを抑制することができる。

【0030】金属シリサイドとしてタングステンシリサイド（ WSi_x ）を用いることにより、耐熱性が高く低抵抗であるゲート電極を形成することが可能である。したがって、メモリやメモリ混載ロジックデバイスにデュアルゲートを適用することが可能である。金属シリサイドとしては、タングステンシリサイド以外に例えば、モリブデンシリサイド、チタンシリサイド、タンタルシリサイド、パラジウムシリサイド等を使用することもできる。特に、自己整合シリサイド化のような細線効果を抑制する上で、加工性に優れたタングステンシリサイドを使用するのが好ましい。

【0031】

【発明の実施の形態】以下に、本発明の半導体装置およびその製造方法の実施の形態について、図面を参照して

下記に説明する。

【0032】（実施形態1）図1は本実施形態の半導体装置の断面図である。図1の半導体装置は、シリコン基板1に形成されたpウェル13およびnウェル14が素子分離層（LOCOS）2により隔てられ、各ウェルにはゲート酸化膜15、2層のアモルファスシリコンおよびタングステンシリサイド層からなるゲート電極が形成され、その上層に層間絶縁膜が形成された構造となっている。

【0033】次に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図2に示すように、シリコン基板1上にLOCOS法（例えば、950℃におけるウェット酸化）により、フィールド酸化膜2を形成する。続いて、NMOSFETを形成する領域に、pウェルや、パンチスルー阻止を目的とした埋め込み層を形成するためのイオン注入を行う。これにより、pウェル3が形成される。同様に、PMOSFETを形成する領域に、nウェルや、パンチスルー阻止を目的とした埋め込み層を形成するためのイオン注入を行う。これにより、nウェル4が形成される。

【0034】次に、図3に示すように、パイロジェニック酸化（ H_2/O_2 、850℃）によりゲート酸化膜5を膜厚5nm程度で形成する。アモルファスシリコンを減圧CVD（例えば、原料ガスとして SiH_4 を用い、堆積温度550℃で行う）により膜厚70nm堆積し、第1のアモルファスシリコン層6を形成する。

【0035】続いて、フッ酸溶液を用いて上記の第1のアモルファスシリコン層6表面に形成される自然酸化膜を除去した後、再び、アモルファスシリコンを上記の第1のアモルファスシリコン層形成と同様な条件で減圧CVDを行い、膜厚70nm堆積し、第2のアモルファスシリコン層7を形成する。ここで、フッ酸溶液処理により自然酸化膜を除去した後、第2のアモルファスシリコン層7を形成する前に、CVDチャンバー内の基板を大気開放することにより、アモルファスシリコン表面に極薄膜の自然酸化膜が形成される。この極薄膜の自然酸化膜により、アモルファスシリコンの両層を結晶化（大粒径化）する際の連続結晶成長が阻止される。

【0036】次に、フォトリソグラフィによりパターンニングされたレジスト（不図示）をマスクとして用いて、NMOSFETを形成する領域にのみリン（P）をイオン注入し、図4に示す n^+ ゲート領域8を形成する。このイオン注入は、例えば、10keV、 $5 \times 10^{15}/\text{cm}^2$ の条件で行う。同様に、フォトリソグラフィによりパターンニングされたレジスト（不図示）をマスクとして用いて、PMOSFETを形成する領域にのみホウ素（B）を例えば、5keV、 $5 \times 10^{15}/\text{cm}^2$ の条件でイオン注入し、 p^+ ゲート領域9を形成する。これにより、図4に示すような構造となる。

【0037】続いて、窒素雰囲気中で650℃、10時間

のアニールを行うことにより、アモルファスシリコン層6、7が結晶化される。上層の第2のアモルファスシリコン層7は、下層の第1のシリコン層6よりも大粒径のポリシリコンとなる。これにより、ポリシリコン層10、11が形成される。次に、1000℃、10秒のRTA (Rapid Thermal annealing) を行うことにより、 n^+ 、 p^+ の不純物をポリシリコン中に拡散させる。

【0038】次に、減圧CVD (例えば、 WF_6/SiH_4 を原料ガスとし、堆積温度380℃で行う) により10 タングステンシリサイド層12を膜厚70nm堆積し、さらに、その上層にCVD (例えば、 SiH_4/O_2 を原料ガスとし、堆積温度420℃で行う) により SiO_2 を膜厚150nm堆積し、オフセット酸化膜13を形成する。

【0039】フォトリソグラフィ法によってレジスタパターンニングを行った後、レジスタをマスクとして異方性エッチングを行うことにより、ゲート電極パターンを形成する。エッチングは、例えば、 SiO_2 に対してはフルオロカーボン系ガス、タングステンポリサイドに対し20 ては Cl_2/O_2 をエッチングガスを用いて行うことができる。これにより、図5に示すような構造となる。

【0040】続いて、pウェル3に As^+ を例えば、20keV、 $5 \times 10^{13}/cm^2$ の条件でイオン注入し、n型のLDD (Lightly doped drain) 領域15を形成する。また、nウェル4に BF_2^+ を例えば、20keV、 $2 \times 10^{13}/cm^2$ の条件でイオン注入し、p型のLDD領域16を形成する。その後、減圧CVDにより SiO_2 を全面に膜厚150nmで堆積させた後、異方性エッチングを行うことにより30 サイドウォール17を形成する。

【0041】次に、NMOSに例えば As^+ のイオン注入を行い、n型のソース/ドレイン領域18を形成する。このイオン注入は例えば、20keV、 $3 \times 10^{15}/cm^2$ の条件で行う。PMOSには例えば BF_2^+ のイオン注入を行い、p型のソース/ドレイン領域19を形成する。このイオン注入は例えば、20keV、 $3 \times 10^{15}/cm^2$ の条件で行う。その後、RTA (1000℃、10秒)の条件で不純物の活性化を行い、CMOSFETを形成する。これにより、図1に示すような半40 導体装置となる。

【0042】本実施形態の半導体装置によれば、タングステンシリサイドを堆積する前に n^+ / p^+ 不純物をポリシリコン中に拡散させ、かつ大粒径ポリシリコンを成長させることにより、 n^+ / p^+ 不純物の相互拡散やホウ素の突き抜けを抑制することが可能となる。

【0043】(実施形態2) 上記の実施形態1の半導体装置においては、ポリシリコン界面に形成される極薄膜の自然酸化膜は、CVDチャンバー内の基板を大気開放することにより形成される。したがって、完全に均一な50

自然酸化膜を形成させるのは困難であり、ポリシリコン界面において結晶成長が連続的に生じて、結晶粒径が十分に大きくならなかったり、結晶粒界の不均一によりMOSFET特性の変動が生じたりする可能性がある。実施形態2に、ポリシリコン界面に酸化膜(SiO_x)を形成することにより、上記の実施形態1でみられるポリシリコン界面の結晶粒界の不均一性を改善した例を示す。

【0044】まず、図2に示すように、実施形態1と同様にシリコン基板1上にLOCOS法 (例えば、950℃におけるウェット酸化) により、フィールド酸化膜2を形成する。次に、NMOSFETを形成する領域に、pウェルや、パンチスルー阻止を目的とした埋め込み層を形成するためのイオン注入を行う。これにより、pウェル3が形成される。次に、図3に示すように、パイロジェニック酸化(H_2/O_2 , 850℃)によりゲート酸化膜5を膜厚5nm程度で形成する。

【0045】アモルファスシリコンを減圧CVD (例えば、原料ガスとして SiH_4 を用い、堆積温度550℃で行う) により膜厚70nm堆積し、第1のアモルファスシリコン層6を形成する。続いて、図6に示すように、第1のアモルファスシリコン層6を塩酸/過酸化水素水混合液で処理することにより、薄い酸化膜(膜厚1nm程度)20を形成する。さらに、アモルファスシリコンを減圧CVD (例えば、原料ガスとして SiH_4 を用い、堆積温度550℃で行う) により膜厚70nm堆積し、第2のアモルファスシリコン層7を形成する。図6に示すように、実施形態1と同様に n^+ ゲート領域8、 p^+ ゲート領域9が形成される。その後、図5に示すように、タングステンシリサイド層12およびオフセット酸化膜13を積層し、異方性エッチングによりゲート電極のパターンニングを行う。

【0046】さらに、pウェル3に例えば As^+ をイオン注入してn型のLDD15を形成し、nウェル4に例えば BF_2^+ をイオン注入してp型のLDD16を形成する。その後、pウェル3に例えば As^+ をイオン注入してn型のソース/ドレイン18を形成し、nウェル4に例えば BF_2^+ をイオン注入してp型のLDD16を形成する。実施形態1と同様にRTAを行うことにより、CMOSFETが形成される。

【0047】本実施形態の半導体装置によれば、上層のアモルファスシリコン層を堆積する前に、2nm以下の酸化シリコン膜を形成することにより、上層のアモルファスシリコン層の結晶化を行う際に大粒径化させることが可能となる。低温長時間アニール (例えば650℃、10時間) によりアモルファスシリコンを結晶化させる場合には、核発生速度が遅いほど大粒径の結晶シリコンを形成することができる。

【0048】本実施形態によれば、下層アモルファスシリコン (またはポリシリコン) 層の上層に均一な薄い酸

11

化膜が形成される。したがって、上層のアモルファスシリコン層を結晶化させる際に、下層のシリコンの結晶化状態の影響を受けずに、薄い酸化膜上で核がランダムに形成される。したがって、上層のアモルファスシリコン層を下層のポリシリコンとは独立して結晶化させることが可能となる。また、薄い酸化膜上で核がランダムに形成されることにより、大粒径のポリシリコンに結晶化させることができる。

【0049】本発明の半導体装置およびその製造方法は、上記の実施の形態に限定されない。例えば、実施形態2において、第1のポリシリコン層と第2のポリシリコン層との層間の絶縁膜は、塩酸/過酸化水素水混合液で処理することにより形成されるが、塩酸以外の酸に変更することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0050】

【発明の効果】本発明の半導体装置によれば、ポリシリコン2層構造、および大粒径ポリシリコンの形成により、フッ素の拡散の影響によるホウ素の基板への突き抜けや、 n^+ 型/ p^+ 型不純物の相互拡散による V_{th} の変動を抑制することができる。また、本発明の半導体装置は、2層あるいはそれ以上のアモルファスシリコン層の形成を、同一CVD装置を用いて同一条件で行う。したがって、生産性を向上させることができる。本発明の半導体装置によれば、アモルファスシリコン層の層間に酸化膜を形成することにより、1層目および2層目のアモルファスシリコンを大粒径のポリシリコンに結晶化させることが可能となる。

【図面の簡単な説明】

12

【図1】本発明の半導体装置の断面図である。

【図2】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図3】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図4】本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図5】本発明の半導体装置の製造方法の製造工程を示す断面図である。

10 【図6】本発明の半導体装置の製造方法の製造工程を示す断面図である。

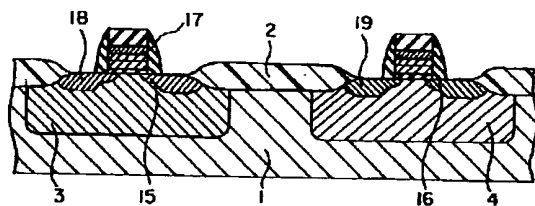
【図7】従来の半導体装置の一部断面図である。

【図8】従来の半導体装置において、結晶粒界が不均一に形成されることによるMOSFET特性の変動を表した図である。

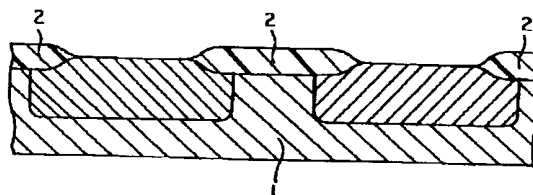
【符号の説明】

1…シリコン基板、2…フィールド酸化膜(LOCOS)、3…pウェル、4…nウェル、5…ゲート酸化膜、6…第1のアモルファスシリコン層、7…第2のアモルファスシリコン層、8… n^+ ゲート領域、9… p^+ ゲート領域、10…第1のポリシリコン層、11…第2のポリシリコン層、12…タングステンシリサイド層、13…オフセット絶縁膜、14…ゲート電極パターン、15… n 型のLDD、16… p 型のLDD、17…サイドウォール、18… n 型のソース/ドレイン、19… p 型のソース/ドレイン、20…絶縁膜、21…シリコン基板、22…フィールド酸化膜(LOCOS)、23…ゲート酸化膜、24…ポリシリコン層、25…タングステンシリサイド層。

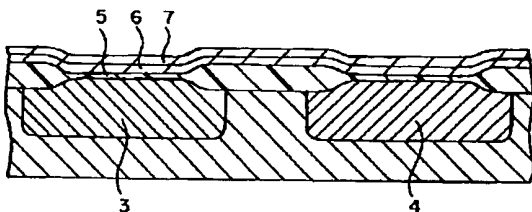
【図1】



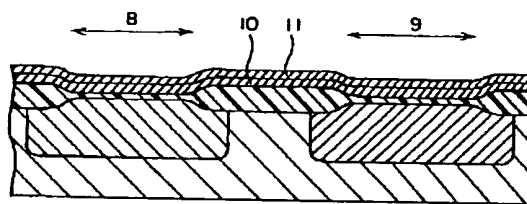
【図2】



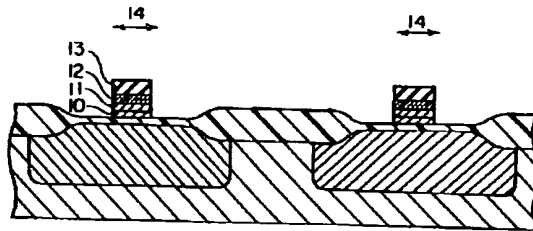
【図3】



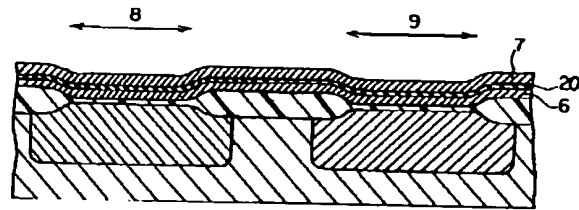
【図4】



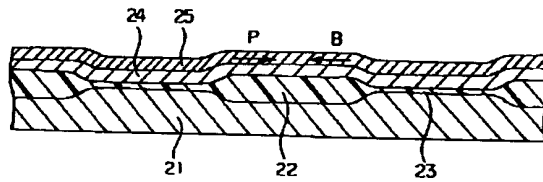
【図5】



【図6】

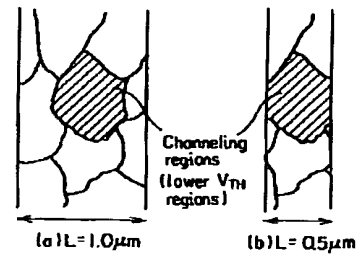


【図7】

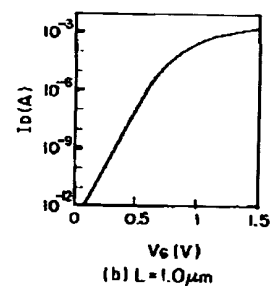
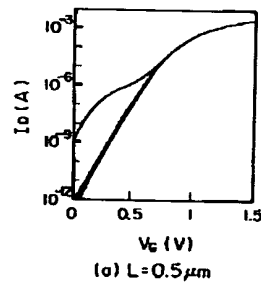


【図8】

(A)



(B)



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device with which change of the counter diffusion in the wiring layer of the impurity with which a conductivity type is different especially, and the property of MOSFET resulting from running (phenomenon which diffuses the inside of a gate oxide film to a substrate) of boron was suppressed, and its manufacture technique about the semiconductor device which has the wiring structure which carried out the laminating of the wiring structure (polycide structure) which carried out the laminating of the metal silicide to contest polysilicon, or contest polysilicon and a metal, and its manufacture technique.

[0002]

[Prior art] Since it has an advantage of a low power and rapidity, CMOS which consists of an n channel type MOSFET (NMOS) and a p-channel type MOSFET (PMOS) begins a memory logic, and is widely used as many LSI configuration devices. Moreover, detailed-ization of FET gate length is performed in connection with high integration of LSI.

[0003] Conventionally, in order to simplify a process, to make the interface electric field small and to make an electron mobility higher than a surface channel type device by considering as an embedding channel type device as a gate electrode material of PMOSFET, contest n type polysilicon which added Lynn so much like NMOS has been used. However, it is p+ of being difficult and a surface channel type to embed, if it becomes after a deep submicron generation, and to suppress a short channel effect in a channel type. It becomes effective to apply the type gate (for example, refer to publication-number 310666 [six to] official report).

[0004] It is NMOS n+ They are the type gate and PMOS p+ In order to consider as the type gate and to form the gate of unlike-pole nature, an arsenic (As) and Lynn (P) is made n type, and the ion implantation of the boron (B) is separately made to contest polysilicon of a gate electrode at p type. However, as compared with the impurity diffusion [diffusion rate / of the impurity in a metal silicide] speed in silicon or a silicon oxide, when the wiring structure which carried out the laminating of the wiring structure (polycide structure) which carried out the laminating of the metal silicide to contest polysilicon, or contest polysilicon and a metal to the gate electrode is used, since it is very (it is about 4 figures at a diffusion coefficient) quick, the impurity of p type and n type is spread mutually. Therefore, the arsenic (As) and Lynn (P) introduced into p type gate electrode formation field and the boron (B) introduced into the n type gate electrode formation field will compensate each other.

[0005] According to this phenomenon, the Fermi level in a polysilicon contest is changed, or a gate electrode depletion-izes at the time of gate-voltage impression, a threshold voltage (V_{th} ; Threshold Voltage) is changed, and the property of a device falls. Moreover, p+ In the case of the gate, the problem fluctuate V_{th} of MOSFET or reduce the reliability of a gate oxide film occurs by boron's diffusing the inside of a gate oxide film, and reaching to a substrate. If a fluorine (F) contains in contest polysilicon or a gate oxide film especially, increasing the diffusion rate of boron is known. Therefore, it is necessary to optimize gate structure and the formation technique so that a fluorine may be spread neither in contest polysilicon nor a gate oxide film.

[0006] On the other hand, in MOSLSI formation, SALICIDE process which forms a silicide at a self-matching target (Self-Aligned) is adopted in many cases on a gate polysilicon contest after MOSFET formation. According to the SALICIDE process, since the problem of impurity counter diffusion is solved, SALICIDE structure is suitable for formation of dual gate (Dual gate) structure.

[0007] The process which makes contest gate polysilicon the two-layer structure in SALICIDE structure, and considers both layers as contest the diameter polysilicon of a large drop is proposed ("Gate Electrode Microstructure" in IEDM Tech.Dig.(1997) p.635), and, thereby, a boron thrust omission is suppressed.

[0008] However, it sets in SALICIDE process and is $TiSi_2$. $CoSi_2$ It is known that will produce resistance increase and resistance increase will become remarkable especially in a thin-line field with heat treatment of 800 degrees C or more. Therefore, it is necessary to consider as the heat-resistant high wiring structure like [it is difficult to apply SALICIDE process to the memory formation process and the memory **** logic formation process that an elevated-temperature process is needed after MOSFET formation, and] the polycide structure to which the laminating of refractory-metal silicides, such as a tungsten, and contest polysilicon was carried out.

[0009] Dual gate CMOS of structure is conventionally explained with reference to drawing 7 . In the tungsten polycide structure which consists of a polysilicon contest layer 24 and a tungsten silicide layer (WSix) 25, n type impurity (for example, Lynn) and p type impurity (for example, boron) are spread in contest polysilicon of NMOS and PMOS, respectively.

[0010]

[Object of the Invention] If elevated-temperature heat treatment of activation annealing of an impurity etc. is performed as shown in drawing 7, Lynn will diffuse the inside of the tungsten silicide layer 25, and will move it to contest polysilicon of n type gate. Therefore, the Fermi level of contest polysilicon in a gate electrode is changed, or a gate electrode is depletion-ized at the time of gate-voltage impression, V_{th} is changed, and the property of MOSFET falls.

[0011] Moreover, when the fluorine contains in the tungsten silicide layer 25, a fluorine diffuses the grain boundary of contest polysilicon, the gate oxide film 23 is reached, and the thrust omission to the substrate 21 of boron arises. The technique ("Improving Gate Oxide" in IEDM Tech.Dig.(1993) p.471) using contest polysilicon of the diameter of a large drop as a polysilicon contest layer is proposed to this problem. According to this technique, it is supposed that it is possible to decrease the grain boundary and to suppress a diffusion of impurities, such as a fluorine.

[0012] However, when contest polysilicon of the diameter of a large drop is used for a gate electrode by the monolayer, as shown in drawing 8, the grain boundary is unevenly formed on MOSFET channel field, and changing MOSFET property is reported ("Gate Electrode Microstructure" in IEDM Tech.Dig.(1997) p.635). Drawing 8 (A) is drawing showing the cross-section structure of the gate electrode which consists of contest the diameter polysilicon of a large drop (LGP; large-grain poly-Si). For example, in the case of 0.5 micrometers of the gate lengths of (b), it becomes ***** (bamboo) structure to the case of 1.0 micrometers of the gate lengths of (a). Therefore, if gate length becomes short in LGP gate electrode, change of MOSFET property will become remarkable.

[0013] Drawing 8 (B) is drawing which expressed about the sub threshold level property (gate-voltage V_G (V)-drain current I_D (A)) of nMOSFET which has the gate electrode of LGP monolayer. If the drain current when impressing the voltage near the threshold voltage not more than it to a gate electrode, i.e., the drain current in a sub threshold level field, makes a gate voltage increase, it will increase exponentially. Although the sub threshold level property is good in the case of 1.0 micrometers of the gate lengths of (b), in the case of 0.5 micrometers of the gate lengths of (a), it is a gate voltage V_G (V)-drain current I_D The inclination of (A) is small locally and serves as the hindrance of a switching operation of a high speed and a low power. However, when using LGP for a gate electrode, change of MOSFET property is suppressed by making it double layer (two-layer) structure.

[0014] The method of using contest polysilicon of the diameter of a large drop for a usual polysilicon (it crystallizing, when it is made to deposit) contest layer, and the upper layer is proposed by this invention persons in the lower layer, using a polysilicon contest layer as two-layer structure (a publication-number 186246 [nine to] official report, publication-number 12744 [ten to] official report). However, according to such technique, in contest polysilicon, in order to deposit on a lower layer and to make the upper layer deposit an amorphous silicon on it, **** conditions, such as layer deposition temperature, needed to differ, each silicon layer needed to be ****ed using the special CVD system, and it was not desirable from the viewpoint of a productivity.

[0015] The wiring structure which carried out the laminating of the metal silicide to contest polysilicon with which this invention is made in view of the above-mentioned trouble, therefore this invention consists of more than two-layer (polycide structure) Or it sets to the semiconductor device which has the wiring structure which carried out the laminating of contest polysilicon which consists of more than two-layer, and the metal, especially dual gate CMOS. It aims at offering the semiconductor device with which change of the counter diffusion in the wiring layer of the impurity with which a conductivity type is different, and the MOSFET property of boron depended for running was suppressed, and its manufacture technique.

[0016]

[The means for solving a technical problem] In order to attain the above-mentioned purpose, the semiconductor device of this invention The 2nd polysilicon contest layer formed on the 1st polysilicon contest layer and the polysilicon contest layer of the above 1st on the substrate, In the semiconductor device with which the electric conduction layer which has at least the metal silicide layer or metal layer formed on the polysilicon contest layer of the above 2nd was formed As for the polysilicon contest layer of the above 1st, and the polysilicon contest layer of the above 2nd, the diameter of the maximum crystal grain is characterized by consisting of contest the diameter polysilicon of a large drop 200nm or more.

[0017] Suitably, the semiconductor device of this invention is a thickness within the limits which the electron in the polysilicon contest layer of the above 1st and the polysilicon contest layer of the above 2nd conducts electrically by direct tunneling between the layers of the polysilicon contest layer of the above 1st, and the polysilicon contest layer of the above 2nd, and is characterized by forming the layer mesenteriolium. In the semiconductor device of this invention, the aforementioned layer mesenteriolium consists of a silicon oxide suitably, and a thickness is characterized by being 2nm or less. Moreover, the semiconductor device of this invention is suitably characterized by the aforementioned metal silicide layer being a tungsten silicide layer.

[0018] In the wiring structure where are the structure of having the wiring layer which carried out the laminating of the laminated-structure (polycide structure) metallurgy group of contest polysilicon and a metal silicide, and the polysilicon contest layer consists of more than two-layer, it becomes the polysilicon contest layer with little grain boundary by forming the 1st and 2nd polysilicon contest layers with contest the diameter polysilicon of a large drop of 200nm or more of the diameters of the maximum crystal grain. Thereby, the conductive impurity which diffuses the inside of a metal silicide layer or a metal layer can suppress being spread in the polysilicon contest of the field of a different conductivity type.

[0019] Thereby, the diffusion to the gate oxide film of a fluorine is suppressed. On the other hand, it is known that the diffusion rate of boron will increase by presence of a fluorine. According to the semiconductor device of this invention, since the diffusion of a fluorine is suppressed, increase of the diffusion rate of boron is suppressed. Therefore, change of boron of V_{th} depended for running can be suppressed.

[0020] In order to attain the above-mentioned purpose, the manufacture technique of the semiconductor device of this invention

The process which forms the 1st amorphous silicon layer on a substrate, and the process which forms the 2nd amorphous silicon layer on the amorphous silicon layer of the above 1st. While the aforementioned amorphous silicon layer is made to diffuse the aforementioned impurity with the process which opens in the aforementioned amorphous silicon layer the impurity with which a conductivity type is different, and introduces a predetermined spacing into it, respectively, and elevated-temperature heat treatment. It is characterized by having the process which crystallizes the aforementioned amorphous silicon layer and is used as a polysilicon contest layer, and the process which forms a metal silicide layer or a metal layer on the aforementioned polysilicon contest layer.

[0021] As for the polysilicon contest layer by which, as for the manufacture technique of the semiconductor device of this invention, the polysilicon contest layer by which the amorphous silicon layer of the above 1st was crystallized, and the amorphous silicon layer of the above 2nd were crystallized suitably, the diameter of the maximum crystal grain is characterized by consisting of contest the diameter polysilicon of a large drop 200nm or more.

[0022] The manufacture technique of the semiconductor device of this invention is suitably characterized by carrying out using the chemistry gaseous-phase vacuum evaporatio (CVD; Chemical vapor deposition) equipment with the same formation process of the amorphous silicon layer of the above 1st, and the amorphous silicon layer of the above 2nd.

[0023] Moreover, the manufacture technique of the semiconductor device of this invention is suitably characterized by having the process which forms the layer mesenteriolum of the thickness of the domain which the electron in the polysilicon contest layer of the above 1st and the polysilicon contest layer of the above 2nd conducts electrically by direct tunneling between the layers of the amorphous silicon layer of the above 1st, and the amorphous silicon layer of the above 2nd. In the manufacture technique of the semiconductor device of this invention, the aforementioned layer mesenteriolum consists of a silicon oxide suitably, and a thickness is characterized by being 2nm or less.

[0024] It is characterized by the process in which the manufacture technique of the semiconductor device of this invention forms the aforementioned layer mesenteriolum suitably being a process which washes the front face of the amorphous silicon layer of the above 1st, and oxidizes using the mixed liquor of hydrogen peroxide solution, the mixed liquor of fluoric acid and hydrogen peroxide solution, the mixed liquor of a sulfuric acid and hydrogen peroxide solution, and ammonia, or the mixed liquor of hydrogen peroxide solution and a hydrochloric acid. Moreover, it is characterized by the process in which the manufacture technique of the semiconductor device of this invention forms the aforementioned layer mesenteriolum suitably being a process which oxidizes thermally the front face of the amorphous silicon layer of the above 1st. Or it is characterized by the process in which the manufacture technique of the semiconductor device of this invention forms the aforementioned layer mesenteriolum suitably being a process which makes a silicon-oxide layer deposit on the front face of the amorphous silicon layer of the above 1st by vacuum evaporatio. Furthermore, the manufacture technique of the semiconductor device of this invention is suitably characterized by the aforementioned metal silicide layer being a tungsten silicide layer.

[0025] Since a silicon layer can be made to deposit as an amorphous silicon layer using the same CVD system when the impurity which is different in each polysilicon contest layer is introduced, in case this forms the polysilicon contest layer which consists of more than two-layer, a productivity can be raised.

[0026] Moreover, according to the manufacture technique of the semiconductor device of this invention, the diameter of the maximum crystal grain with the diameter larger than the polysilicon contest layer ****ed by CVD of crystal grain is able to form about 200nm or the polysilicon contest layer beyond it by crystallizing an amorphous silicon and considering as a polysilicon contest layer. A grain boundary can decrease by this and it can suppress that the impurity which diffuses the inside of a metal silicide layer or a metal layer is spread in a polysilicon contest.

[0027] Furthermore, in case contest polysilicon of both layers crystallizes by forming the 1st and 2nd contests polysilicon from contest the diameter polysilicon of a large drop (diameter[of a large drop]-izing), it is suppressed that the continuity crystal growth of the 1st polysilicon contest layer and the 2nd polysilicon contest layer happens. Therefore, it is enabled to suppress change of MOSFET property by the uniformity of the grain boundary.

[0028] It has the process which forms about 2nm of thicknesss, and the oxide film (SiOx) not more than it in the above-mentioned amorphous silicon after depositing the 1st amorphous silicon. Therefore, in case an amorphous silicon is crystallized, the influence which the crystallization status of the 1st silicon layer of the substratum over the 2nd amorphous silicon layer does is reduced, and it is enabled to use the 2nd amorphous silicon layer as the polysilicon contest layer of the diameter of a large drop. This enables it to suppress the change of Vth by impurity counter diffusion.

[0029] The aforementioned oxide film (SiOx) can be formed by technique, such as a surface washing using the acidic solution containing hydrogen peroxide solution, thermal oxidation, and deposition of an oxide film. It is SiOx of 2nm or less of thicknesss by considering as processing by the mixed liquor or its aqueous solution of hydrogen peroxide solution, fluoric acid, a sulfuric acid, aqueous ammonia, and a hydrochloric acid especially. It is enabled to form a layer by the high controllability. Thereby, in case contest polysilicon of both layers crystallizes (diameter[of a large drop]-izing), it can suppress that a continuity crystal growth happens.

[0030] By using a tungsten silicide (WSix) as a metal silicide, it is possible to form the gate electrode whose thermal resistance is low resistance highly. Therefore, it is possible to apply the dual gate to memory or a memory **** logic device. As a metal silicide, for example, a molybdenum silicide, a titanium silicide, a tantalum silicide, a palladium silicide, etc. can also be used in addition to a tungsten silicide. It is desirable to use the tungsten silicide which is excellent in workability, when suppressing a thin-line effect like the formation of a self-matching silicide especially.

[0031]

[Gestalt of implementation of invention] The semiconductor device of this invention and the gestalt of enforcement of the manufacture technique are explained below with reference to a drawing.

[0032] (Enforcement gestalt 1) Drawing 1 is the cross section of the semiconductor device of this enforcement gestalt. The semiconductor device of drawing 1 has the structure where the p well 13 and the n well 14 which were formed in the silicon substrate 1 were separated by the isolation layer (LOCOS) 2, the gate electrode which becomes each well from the gate oxide film 15, a two-layer amorphous silicon, and a tungsten silicide layer was formed, and the layer insulation layer was formed in the upper layer.

[0033] Next, the manufacture technique of the semiconductor device of this above-mentioned enforcement gestalt is explained. First, as shown in drawing 2, the field oxide film 2 is formed on a silicon substrate 1 by the LOCOS method (for example, wet oxidation in 950 degrees C). Then, p well and the ion implantation for [which was aimed at punch-through prevention] embedding and forming a layer are performed to the field which forms NMOSFET. Thereby, the p well 3 is formed. The ion implantation for [which was aimed the same at n well and punch-through prevention to the field which forms PMOSFET] embedding and forming a layer is performed. Thereby, the n well 4 is formed.

[0034] Next, as shown in drawing 3, the gate oxide film 5 is formed by about 5nm of thicknesss by pie ***** nick oxidation (H_2 / O_2 , and 850 degrees C). An amorphous silicon is deposited 70nm of thicknesss with reduced pressure CVD (for example, it carries out at the deposition temperature of 550 degrees C, using SiH_4 as material gas), and the 1st amorphous silicon layer 6 is formed.

[0035] Then, after removing the natural-oxidation layer formed in the 1st amorphous silicon layer 6 above-mentioned front face using a fluoric acid solution, again, reduced pressure CVD is performed on the same conditions as the 1st above-mentioned amorphous silicon stratification, an amorphous silicon is deposited 70nm of thicknesss, and the 2nd amorphous silicon layer 7 is formed. Here, after fluoric acid solution processing removes a natural-oxidation layer, before forming the 2nd amorphous silicon layer 7, the natural-oxidation layer of an ultra-thin layer is formed in an amorphous silicon front face by carrying out atmospheric-air opening of the substrate in CVD chamber. With the natural-oxidation layer of this ultra-thin layer, the continuity crystal growth at the time of crystallizing both the layers of an amorphous silicon (diameter[of a large drop]-izing) is prevented.

[0036] Next, n+ which carries out the ion implantation of Lynn (P) only to the field which forms NMOSFET, using as a mask the resist (un-illustrating) in which patterning was carried out by the photolithography, and is shown in drawing 4 The gate field 8 is formed. This ion implantation is 10keV and $5 \times 10^{15}/cm^2$. It carries out on conditions. They are 5keV and $5 \times 10^{15}/cm^2$ about boron (B) only to the field which forms PMOSFET similarly, using as a mask the resist (un-illustrating) in which patterning was carried out by the photolithography. An ion implantation is carried out on conditions and it is p+. The gate field 9 is formed. This becomes the structure which is shown in drawing 4.

[0037] Then, the amorphous silicon layers 6 and 7 are crystallized by performing annealing of 650 degrees C and 10 hours in the nitrogen ambient atmosphere. The 2nd upper amorphous silicon layer 7 becomes contest polysilicon of the diameter of a large drop from the 1st silicon layer 6 of a lower layer. Thereby, the polysilicon contest layers 10 and 11 are formed. Next, they are n+ and p+ by performing RTA for 1000 degrees C and 10 seconds (Rapid Thermal annealing). An impurity is diffused in a polysilicon contest.

[0038] Next, the tungsten silicide layer 12 is deposited 70nm of thicknesss with reduced pressure CVD (for example, WF [6] / SiH_4 is made into material gas, and it carries out at the deposition temperature of 380 degrees C), and it is SiO_2 to the upper layer further by CVD (for example, SiH_4 / O_2 is made into material gas, and it carries out at the deposition temperature of 420 degrees C). It deposits 150nm of thicknesss and the offset oxide film 13 is formed.

[0039] After performing resist patterning by the photolithography method, a gate electrode pattern is formed by performing anisotropic etching, using a resist as a mask. Etching is SiO_2 . It receives and is Cl_2 / O_2 to fluorocarbon system gas and a tungsten polycide. It can carry out using etching gas. This becomes the structure which is shown in drawing 5.

[0040] Then, it is As+ to the p well 3. For example, 20keV and $5 \times 10^{13}/cm^2$ An ion implantation is carried out on conditions and the n type LDD (Lightly doped drain) field 15 is formed. Moreover, it is BF_2^+ to the n well 4. For example, 20keV and $2 \times 10^{13}/cm^2$ An ion implantation is carried out on conditions and the p type LDD field 16 is formed. Then, it is SiO_2 by reduced pressure CVD. After making it deposit on the whole surface by 150nm of thicknesss, the side wall 17 is formed by performing anisotropic etching.

[0041] Next, it is As+ to NMOS. An ion implantation is performed and n type the source / drain field 18 are formed. This ion implantation is 20keV and $3 \times 10^{15}/cm^2$. It carries out on conditions. In PMOS, it is for example, BF_2^+ . An ion implantation is performed and p type the source / drain field 19 are formed. This ion implantation is 20keV and $3 \times 10^{15}/cm^2$. It carries out on conditions. Then, an impurity is activated on condition that RTA (1000 degrees C, 10 seconds), and CMOSFET is formed. This becomes a semiconductor device which is shown in drawing 1.

[0042] Before depositing a tungsten silicide according to the semiconductor device of this enforcement gestalt, they are n+ / p+. They are n+ / p+ by diffusing an impurity in a polysilicon contest and growing up contest the diameter polysilicon of a large drop. It is enabled to suppress the thrust omission of the counter diffusion of an impurity, or boron.

[0043] (Enforcement gestalt 2) In the semiconductor device of the above-mentioned enforcement gestalt 1, the natural-oxidation layer of the ultra-thin layer formed in a polysilicon contest interface is formed by carrying out atmospheric-air opening of the substrate in CVD chamber. Therefore, it is difficult to make a completely uniform natural-oxidation layer form, in a polysilicon contest interface, a crystal growth arises continuously, the diameter of crystal grain may not become large enough, or change of MOSFET property may arise with the ununiformity of the grain boundary. By forming an oxide film (SiO_x) in a polysilicon

contest interface shows the example which has improved the heterogeneity of the grain boundary of a polysilicon contest interface seen with the above-mentioned enforcement gestalt 1 to the enforcement gestalt 2.

[0044] First, as shown in drawing 2, the field oxide film 2 is formed on a silicon substrate 1 like the enforcement gestalt 1 by the LOCOS method (for example, wet oxidization in 950 degrees C). Next, p well and the ion implantation for [which was aimed at punch-through prevention] embedding and forming a layer are performed to the field which forms NMOSFET. Thereby, the p well 3 is formed. Next, as shown in drawing 3, the gate oxide film 5 is formed by about 5nm of thickness by pie ***** nick oxidization (H_2 / O_2 , and 850 degrees C).

[0045] An amorphous silicon is deposited 70nm of thickness with reduced pressure CVD (for example, it carries out at the deposition temperature of 550 degrees C, using SiH_4 as material gas), and the 1st amorphous silicon layer 6 is formed. Then, as shown in drawing 6, the thin oxide film (about 1nm of thickness) 20 is formed by processing the 1st amorphous silicon layer 6 with a hydrochloric acid / hydrogen-peroxide-solution mixed liquor. Furthermore, an amorphous silicon is deposited 70nm of thickness with reduced pressure CVD (for example, it carries out at the deposition temperature of 550 degrees C, using SiH_4 as material gas), and the 2nd amorphous silicon layer 7 is formed. As shown in drawing 6, it is n+ like the enforcement gestalt 1. The gate field 8 and p+ The gate field 9 is formed. Then, as shown in drawing 5, the laminating of the tungsten silicide layer 12 and the offset oxide film 13 is carried out, and anisotropic etching performs patterning of a gate electrode.

[0046] Furthermore, it is As+ to the p well 3. An ion implantation is carried out, n type LDD15 is formed, and it is for example, BF_2+ to the n well 4. An ion implantation is carried out and p type LDD16 is formed. Then, it is As+ to the p well 3. An ion implantation is carried out, n type the source / drain 18 are formed, and it is for example, BF_2+ to the n well 4. An ion implantation is carried out and p type LDD16 is formed. CMOSFET is formed by performing RTA like the enforcement gestalt 1.

[0047] According to the semiconductor device of this enforcement gestalt, before depositing the upper amorphous silicon layer, in case the upper amorphous silicon layer is crystallized, it becomes possible to make it diameter[of a large drop]-ize by forming a silicon-oxide layer 2nm or less. The crystal silicon of the diameter of a large drop can be formed so that a karyogenesis speed is slow, when crystallizing an amorphous silicon by annealing (for example, 650 degrees C, 10 hours) for a long time low-temperature].

[0048] According to this enforcement gestalt, a uniform thin oxide film is formed in the upper layer of a lower layer amorphous silicon (or contest polysilicon) layer. Therefore, in case the upper amorphous silicon layer is crystallized, a nucleus is formed at random on a thin oxide film, without being influenced of the crystallization status of the silicon of a lower layer. Therefore, it becomes possible [contest polysilicon of a lower layer] to make it crystallize independently about the upper amorphous silicon layer. Moreover, contest polysilicon of the diameter of a large drop can be crystallized by forming a nucleus at random on a thin oxide film.

[0049] The semiconductor device and its manufacture technique of this invention are not limited to the gestalt of the above-mentioned enforcement. For example, in the enforcement gestalt 2, although the insulator layer between the layers of the 1st polysilicon contest layer and the 2nd polysilicon contest layer is formed by processing with a hydrochloric acid / hydrogen-peroxide-solution mixed liquor, it is also possible to change into acids other than a hydrochloric acid. In addition, it is the domain which does not deviate from the summary of this invention, and various change is possible.

[0050]

[Effect of the invention] The thrust omission and n+ to the substrate of the boron [according to the semiconductor device of this invention] by the influence of a diffusion of a fluorine by formation of polysilicon contest two-layer structure and contest the diameter polysilicon of a large drop Type /p+ The change of V_{th} by the counter diffusion of a type impurity can be suppressed. Moreover, the semiconductor device of this invention performs formation of two-layer or the amorphous silicon layer beyond it on the same conditions using the same CVD system. Therefore, a productivity can be raised. According to the semiconductor device of this invention, it becomes possible to make contest polysilicon of the diameter of a large drop crystallize the amorphous silicon of the 1st layer and two-layer scale division by forming an oxide film between the layers of an amorphous silicon layer.

[Translation done.]